



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 40 39 407 A 1

⑤ Int. Cl.⁸:
G 06 F 15/60

⑳ Aktenzeichen: P 40 39 407.7
㉑ Anmeldetag: 10. 12. 90
㉒ Offenlegungstag: 11. 6. 92

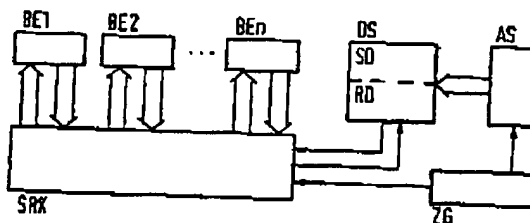
DE 40 39 407 A 1

㉓ Anmelder:
Siemens AG, 8000 München, DE

㉔ Erfinder:
Trischler, Erwin, Dr.-Ing.; Vuksic, Antun, Dipl.-Ing.,
8000 München, DE

㉕ Verfahren zur Modellierung digitaler Bauelemente innerhalb eines Simulationsmodells und Anordnung zur Durchführung des Verfahrens

㉖ Die Erfindung betrifft ein Verfahren zur Modellierung digitaler Bauelemente (BE1...BEn) innerhalb eines Simulationsmodells eines Systems und eine Anordnung zur Durchführung des Verfahrens, wobei die digitalen Bauelemente (BE1...BEn) mit ihren Ein- und Ausgängen an eine Schieberegisterkette (SRK) angeschlossen sind, die parallel Stimulus-Signale an die digitalen Bauelemente (BE1...BEn) anlegt und Response-Signale abtastet. Das Laden bzw. Auslesen der Schieberegisterkette (SRK) erfolgt von einem Datenspeicher (DS) mit Hilfe eines Zeitgebers (ZG) und einer Adreßsteuerung (AS). Vorzugsweise wird als Schieberegisterkette (SRK) eine Boundary-Scan-Kette verwendet. Die Erfindung wird angewandt bei der Simulation, Verifikation und Prototypenerprobung beim Entwurf digitaler Schaltungen.



BEST AVAILABLE COPY

DE 40 39 407 A 1

DE 40 39 407 A1

1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Modellierung digitaler Bauelemente sowie eine An-
schaltung mindestens eines digitalen Bauelements zur Mo-
dellierung innerhalb eines Simulationsmodells eines Sys-
tems nach dem Oberbegriff des Anspruchs 1 bzw. nach
dem Oberbegriff des Anspruchs 3.

Zum Entwurf komplexer digitaler Schaltungen wer-
den häufig CAD(Computer Aided Design) Werkzeuge
eingesetzt. Der Entwurf beginnt mit der Eingabe eines
Stromlaufplans am Bildschirm, bei der Bauelemente ein-
gesetzt und Verbindungen zwischen den Bauelementen
gelegt werden. Es folgt eine Verifikation, indem mit Hil-
fe eines Modells simuliert wird, wie sich die Schaltung in
ihrer realen Umgebung verhalten würde. Dazu werden
SoftwareModelle der einzelnen digitalen Bauelemente
benötigt, die basierend auf dem eingegebenen Strom-
laufplan in einem Compilerlauf zu einem Modell der
digitalen Schaltung verbunden werden. Diese Software-
Modelle haben den Nachteil, daß sie wegen der aufwen-
digen Entwicklung relativ teuer sind. Zudem benötigt
ein Rechner zur Simulation eines digitalen Bauelements
mit Hilfe des Software-Modells eine Rechenzeit, die um
Größenordnungen über der liegt, die ein physikalisches
Muster dieses Bauelements für die Ausübung seiner
Funktion in Anspruch nehmen würde.

Aus der EP 01 29 017 ist bekannt, daß diese Probleme
der Software-Modelle bei komplexen digitalen Bauele-
menten umgangen werden können, indem das Modell
mit einem physikalischen Muster des digitalen Bauele-
ments und einer geeigneten Anschaltung gebildet wird.
Das Simulationsmodell der digitalen Schaltung besteht
also aus Modellen, die durch physikalische Muster gebil-
det sind, Software-Modellen digitaler Bauelemente und
den modellierten Verbindungen. Während des Simula-
tionsablaufs werden abwechselnd Simulationsschritte
an den Software-Modellen und an den Modellen mit
physikalischen Mustern ausgeführt. Für Schritte an den
physikalischen Mustern werden Eingangssignale ver-
wendet, die als Ausgangssignale des vorangehenden Si-
mulationsschrittes an den Software-Modellen errechnet
wurden. Simulationsschritte an Software-Modellen da-
gegen werden ausgeführt mit Eingangssignalen, die als
Ausgangssignale der Modelle mit physikalischen Mus-
tern erzeugt wurden. Die Ausgangssignale der physika-
lischen Muster werden erst abgetastet, wenn nach dem
Anlegen der Eingangssignale die maximale Verzöge-
rungszeit des physikalischen Musters abgelaufen ist und
sich ein stabiler Zustand eingestellt hat. Anschaltungen
für digitale Muster dieser Art haben den wesentlichen
Nachteil, daß sie bauelementespezifisch sind und für je-
den neuen Typ eines digitalen Bauelements neu entwic-
kelt und gefertigt werden müssen. Ein weiterer Nachteil
dieses Simulationsverfahrens besteht darin, daß die Ver-
drahtung der zu simulierenden Schaltung nach der
Stromlaufplangabe fest vorgegeben ist. Jede Ände-
rung der Schaltung erfordert daher eine Änderung in
der Verdrahtung der Bauelemente, so daß in einem er-
neuten, bei komplexen digitalen Schaltungen sehr zeit-
aufwendigen Kompilierungsvorgang ein neues Softwa-
re-Modell der Schaltung erzeugt werden muß.

Der Erfindung liegt die Aufgabe zugrunde, ein Ver-
fahren zur Modellierung digitaler Bauelemente inner-
halb des Simulationsmodells eines Systems zu finden,
das eine schnelle Anpassung des Modells nach Strom-
laufplanänderungen erlaubt, und eine Anschaltung für
digitale Bauelemente zur Durchführung des Verfahrens

2

zu schaffen, die weitgehend unabhängig vom Typ der
digitalen Bauelemente einsetzbar ist.

Zur Lösung dieser Aufgabe weist das neue Verfahren
der eingangs genannten Art die im kennzeichnenden
Teil des Anspruchs 1 genannten Merkmale auf. Gemäß
Anspruch 2 müssen Verbindungen nicht physikalisch
hergestellt werden, sondern entstehen virtuell, indem
Signalwerte von einem Ausgang über die Schieberegis-
terkette auf die mit ihm verbundenen Eingänge trans-
portiert werden. Eine Anschaltung zur Durchführung
des Verfahrens ist mit den im kennzeichnenden Teil des
Anspruchs 3 genannten Merkmalen realisierbar. In den
Ansprüchen 4 und 5 sind besonders vorteilhafte Ausge-
staltungen der Erfindung angegeben.

Durch die Erfindung wird ein flexibles und leicht re-
konfigurierbares Simulationsmodell geschaffen, das es
erlaubt, sehr schnell Verbindungen zwischen digitalen
Bausteinen zu ändern, um eine erneute Schaltungsverifi-
kation vorzunehmen. Da die Verifikation mit Hilfe von
physikalischen Mustern der digitalen Bauelemente vor-
genommen wird, verläuft sie sehr schnell. Eine Ausfüh-
rung der Erfindung ist besonders einfach, wenn eine
Boundary-Scan-Kette als Schieberegisterkette verwen-
det wird, da in diesem Fall bereits geeignete Bauelemen-
te (z. B. 74 BCT 244, 74 BCT 245, 74 BCT 373 und 74 BCT
374 von Texas Instruments) am Markt erhältlich sind.
Boundary Scan ist als Testverfahren für digitale Schal-
tungen bereits aus der IEEE-Norm 1149.1 bekannt. Ein
weiterer wesentlicher Vorteil ist die Unabhängigkeit
der Anschaltung vom Typ des Bauelements. Es werden
lediglich Anforderungen bezüglich der mechanischen
Adaptierbarkeit, d. h. an die Gehäuseform sowie an die
Lage der Versorgungsspannungsanschlüsse gestellt. Je-
des zusätzliche Bauelement, das im Software-Modell
des Systems durch ein physikalisches Muster modelliert
wird, erhöht ausschließlich die Zahl der Zellen in der
Schieberegisterkette und führt darüber hinaus zu kei-
nem weiteren Hardware-Aufwand. Ein Adapter zur
Herstellung der elektrischen Verbindungen zwischen
den physikalischen Mustern und der Schieberegister-
kette kann für 200 oder mehr Bauelemente gebaut wer-
den, da z. B. die in der IEEE-Norm 1149.1 vorgesehene
Bypass-Funktion es erlaubt, nur die Zellen in der Schie-
beregisterkette aktiv zu schalten, an die physikalische
Muster digitaler Bauelemente angeschlossen sind. Die
zum Laden der Schieberegisterkette erforderliche Zeit
ist also ausschließlich abhängig von der Zahl der tat-
sächlich vorhandenen physikalischen Muster.

Durch die Einbettung physikalischer Muster, die ne-
ben digitalen Ein- und Ausgängen auch analoge oder
mechanische Schnittstellen aufweisen, kann der Simula-
tionsbereich wesentlich erweitert werden. Insbesondere
ist es möglich, durch den Einsatz von D/A- oder A/D-
Wandlern Analogfunktionen bzw. mit elektromechani-
schen Komponenten Schalter, Relais, Sensoren usw. in
die Simulation aufzunehmen. Dies ist vor allem im La-
bor vorteilhaft, wenn manuelle Eingriffe ins System
während des Betriebs vorgesehen sind. Die Erfindung
ist neben der Simulation oder Verifikation beim Ent-
wurf auch bei der Prototypenerprobung komplexer digi-
taler Baugruppen und Systeme im Labor mit Hilfe von
vorhandenen Bauelementen anwendbar, wobei jede
Entwurfsphase mit dem gleichen Modell erfolgen kann.

Anhand der Zeichnungen, in denen ein Ausführungs-
beispiel der Erfindung dargestellt ist, werden im folgen-
den die Erfindung sowie Ausgestaltungen und Vorteile
näher erläutert.

Es zeigen

BEST AVAILABLE COPY

DE 40 39 407 A1

3

4

Fig. 1 ein Blockschaltbild einer Anschaltung,
Fig. 2 eine detailliertere Darstellung des Blockschalt-
bildes und

Fig. 3 einen Adapter für physikalische Muster.

Wie Fig. 1 verdeutlicht, können grundsätzlich physikalische Muster digitaler Bauelemente BE1...BE_n mit Hilfe einer Schieberegisterkette SRK als Verknüpfungszentrum zur Modellierung einer digitalen Schaltung verbunden werden. Dazu sind die physikalischen Muster digitaler Bauelemente BE1...BE_n mit ihren Ein- und Ausgängen an die Schieberegisterkette SRK angeschlossen. Zum parallelen Anlegen von Stimulus-Signalen an die Eingänge und zum parallelen Abtasten von Response-Signalen an den Ausgängen wird die Schieberegisterkette SRK von einem Zeitgeber ZG veranlaßt. Dazu erforderliche Stimulus-Daten SD sind in einem Datenspeicher DS enthalten, in dem auch die abgetasteten Response-Signale als Response-Daten RD, die jeweils das Ergebnis eines Simulationsschritts sind, abgelegt werden. Das Laden der Schieberegisterkette SRK mit Stimulus-Daten SD erfolgt bitseriell und wird ebenso wie das Einlesen der Response-Daten RD in den Datenspeicher DS durch den Zeitgeber ZG gesteuert. Synchron zu diesen Vorgängen legt eine Adreßsteuerung AS Adressen an den Datenspeicher DS an, wobei die jeweiligen Adressen den Daten jeweils einer Zelle in der Schieberegisterkette SRK entsprechen. Programmierbar durch die Adressen können daher beliebige Ein- und Ausgänge der physikalischen Muster digitaler Bauelemente BE1...BE_n virtuell miteinander verbunden werden. Mit der Bezeichnung "virtuell" soll hier verstanden werden, daß keine physikalisch vorhandene Verbindung vorliegt, aber durch den Transport von logischen Signalwerten "0" oder "1" von einem Ausgangs-Pin eines physikalischen Musters auf ein Eingangs-Pin desselben oder eines anderen physikalischen Musters das Vorhandensein einer solchen physikalischen Verbindung zur Simulation vorgetäuscht wird.

Fig. 2 zeigt eine detailliertere Darstellung eines Ausführungsbeispiels, wobei die Schieberegisterkette SRK als Boundary-Scan-Kette ausgeführt ist. Eine Workstation WS hat über einen Bus – das kann z. B. ein sogenannter AT-Bus sein – Zugriff auf den Datenspeicher DS, in dem Stimulus-Daten SD, Response-Daten RD und sogenannte TAP-Instructions (Anweisungen für den Test Access Port-Controller nach IEEE-Norm 1149.1) enthalten sind, sowie auf einen Adreßspeicher ASP mit Adressen für den Datenspeicher DS. Ein Zeitgeber ZG bestimmt mit Signalen TCK (test clock nach IEEE-Norm 1149.1) und RD/WR (read/write) den Ablauf eines Simulationsschrittes. Dazu erhält er ein Signal I/O (input/output) vom Adreßspeicher ASP und ein Signal E (end), das von einem Komparator K geliefert wird. Dieser erzeugt das Signal E, indem er den Stand eines Zählers Z, der zur Adreßerzeugung für den Adreßspeicher ASP dient, mit einem der Länge der Schieberegisterkette SRK entsprechenden Wert L vergleicht.

Im folgenden soll die Funktion der einzelnen, bereits genannten Elemente der Fig. 2 erläutert werden:

– Die Workstation WS dient unter anderem zum Entwurf eines Stromlaufplanes mit dem Ergebnis einer Bauelemente- und Verbindungsliste. Basierend darauf kann die Konfiguration der Schieberegisterkette SRK als Boundary-Scan-Kette festgelegt werden. Mit der Workstation WS gibt ein Bediener Eingangsdaten für die Simulation eines Sy-

stems vor und erhält eine Darstellung der Simulationsergebnisse. Über den WorkstationBus (z. B. AT-Bus) erfolgt die Kommunikation mit dem Datenspeicher DS und dem Adreßspeicher ASP.

– Im Datenspeicher DS befinden sich vor dem Simulationsvorgang nur die von der Workstation WS geladenen Eingangsdaten sowie TAP-Instructions zur Steuerung der Boundary-Scan-Kette. Zudem dient er zum Abspeichern der Response-Daten RD während des Ablaufs der Simulationsschritte.

– Mit Hilfe des Signals TMS (test mode select), dessen Werte im Adreßspeicher ASP abgelegt sind, wird in einer Konfigurierungsphase die Zustandssteuerung des TAP-Controllers der Boundary-Scan-Kette vorgenommen. Während der Ausführung der Schiebefehle für die Schieberegisterkette SRK liefern die Adressen im Adreßspeicher ASP die Quelladresse für Werte des Signals DI (data input) bzw. die Zieladressen für Werte des Signals DO (data output) innerhalb des Datenspeichers DS. Sie legen somit die Koordination zwischen Ein- und Ausgangsdaten der physikalischen Muster digitaler Bauelemente BE1...BE_n und der Boundary-Scan-Kette fest. Durch den Bypass-Modus, der in der IEEE-Norm 1149.1 vorgesehen ist, können nichtrelevante Zellen der Boundary-Scan-Kette ausgelassen werden.

– Die Adressierung des Adreßspeichers ASP führt der Zähler Z aus. Der Komparator K vergleicht den Stand des Zählers Z mit der Länge der Boundary-Scan-Kette und dient somit zur Erkennung des letzten Schiebetaktes des Signals TCK für die Boundary-Scan-Kette.

– Der Zeitgeber ZG erzeugt das Signal TCK in der Simulationsphase und mit Hilfe des Signals I/O des Adreßspeichers ASP das Signal RD/WR für den Datenspeicher DS. Der Datenspeicher DS befindet sich im Lese-Modus, wenn das Signal I/O den Wert "1" bzw. im Schreib-Modus, wenn das Signal I/O den Wert "0" annimmt.

– Bedingt durch die Struktur der Boundary-Scan-Kette kann zu bestimmten Zeiten entweder eine Eingangsinformation über das Signal DI gefordert oder eine Ausgangsinformation über das Signal DO abgeholt werden. Gleichzeitiges Anlegen von Stimulus-Signalen mit definierter Information und Abholen von Response-Signalen mit einer einzigen Zelle der Boundary-Scan-Kette ist nicht möglich. Daher läßt sich das Abspeichern der Stimulus-Daten SD und der Response-Daten RD durch einen einzigen Datenspeicher DS realisieren.

– Bedingt durch die einmalige Definition der Daten im Adreßspeicher ASP für ein Simulationsmodell wird eine hohe Simulationsgeschwindigkeit erreicht. Die Simulationszeit wird durch den Schiebetakt TCK sowie die Zellenzahl der Boundary-Scan-Kette bestimmt.

In Fig. 3 ist ein Beispiel für die Realisierung eines Adapters dargestellt, in dem die physikalischen Muster digitaler Bauelemente BE1...BE₁₀₅ elektrisch und mechanisch auf einer Trägerbaugruppe sitzen. Die Realisierung des Adapters für physikalische Muster ist abhängig von den Eigenschaften der verwendeten digitalen Bauelemente BE1...BE₁₀₅. Zum Betrieb der physikalischen Muster erforderliche Versorgungsspannungen PSV, 0V und NSV sowie die Signale TCK und TMS,

BEST AVAILABLE COPY

DE 40 39 407 A1

5

die bei einem realen Adapter zu allen physikalischen Mustern digitaler Bauelemente geführt werden, sind zur besseren Übersichtlichkeit der Fig. 3 nur am Rand angedeutet. Das Signal DI liegt am Eingang des ersten digitalen Bauelements BE1 in ECL-Pegel an und wird über nachgeschaltete Bauelemente BE2... BE40 dem Eingang eines ECL/TTL-Pegelwandlers PW1 zugeführt. In TTL-Pegel wird die Boundary-Scan-Kette fortgesetzt über die digitalen Bauelemente BE41... BE60 sowie die Boundary-Scan-Bausteine BS1... BS45. Ein TTL/ECL-Pegelwandler PW2 liefert schließlich das Signal DO in ECL-Pegel. Der Adapter bietet also eine Anschlußmöglichkeit für maximal 40 digitale Bauelemente BE1... BE40 mit ECL-Pegel, maximal 20 digitale Bauelemente BE41... BE60 mit TTL-Pegel, die bereits jeweils mit Zellen der Boundary-Scan-Kette versehen sind, sowie für maximal 45 digitale Bauelemente BE61... BE105 mit TTL-Pegel, die jeweils an Boundary-Scan-Bausteine BS1 BS45 angeschlossen werden. Die Anschaltung des Adapters erfolgt mit ECL-Pegel.

Patentansprüche

1. Verfahren zur Modellierung digitaler Bauelemente innerhalb eines Simulationsmodells eines Systems, wobei mit einer Anschaltung an Eingänge eines physikalischen Musters eines digitalen Bauelements Stimulus-Signale parallel angelegt und nach einer durch die maximale Verzögerung des Bauelements festgelegten Zeit an Ausgängen des physikalischen Musters digitale Response-Signale parallel abgetastet werden, dadurch gekennzeichnet
 - daß die Bereitstellung der Stimulus-Signale und das Einlesen der Response-Signale durch mindestens eine Schieberegisterkette (SRK) mit mindestens einer Zelle je Stimulus- bzw. Response-Signal und mit einer Ansteuerschaltung erfolgt, indem
 - in einem Simulationsschritt die Schieberegisterkette zunächst seriell mit den Stimulus-Signalen entsprechenden Daten aus der Ansteuerschaltung geladen wird und
 - nach dem parallelen Anlegen der Stimulus-Signale und dem parallelen Abtasten der Response-Signale diesen entsprechende Daten seriell aus der Schieberegisterkette (SRK) in die Ansteuerschaltung eingelesen werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet
 - daß Verbindungen zwischen Ein- und Ausgängen physikalischer Muster digitaler Bauelemente (BE1, BE2... BEn) modelliert werden, indem ein Response-Signal, das in einem Simulationsschritt an einem zu einer Verbindung gehörenden Ausgang abgetastet wird, im folgenden Simulationsschritt aufgrund einer geeigneten Steuerung der Schieberegisterkette (SRK) durch die Ansteuerschaltung als Stimulus-Signal an die Eingänge angelegt wird, die zu derselben Verbindung gehören.
3. Anschaltung mindestens eines digitalen Bauelements zur Modellierung innerhalb eines Simulationsmodells eines Systems, dadurch gekennzeichnet
 - daß das digitale Bauelement (BE1, BE2... BEn) mit seinen Ein- und Ausgängen jeweils an parallele Aus- bzw. Eingänge von

6

- Zellen einer Schieberegisterkette (SRK) angeschlossen ist,
- daß die Schieberegisterkette (SRK) derart ansteuerbar ist, daß an die Eingänge des digitalen Bauelements (BE1, BE2... BEn) Stimulus-Signale parallel anlegbar und an den Ausgängen Response-Signale parallel abtastbar sind,
 - daß ein Datenspeicher (DS) vorhanden ist, aus welchem Daten seriell in die Schieberegisterkette (SRK) ladbar sind und in welchen Daten aus der Schieberegisterkette (SRK) einlesbar sind mit einer Adreßsteuerung (AS) zur Adressierung der Speicherplätze entsprechend der ausgewählten Zelle in der Schieberegisterkette (SRK),
 - und daß ein Zeitgeber (ZG) zur Synchronisierung an die Schieberegisterkette (SRK) und die Adreßsteuerung (AS) des Datenspeichers (DS) angeschlossen ist.
4. Anschaltung nach Anspruch 3, dadurch gekennzeichnet
 - daß die Adreßsteuerung (AS) einen Adreßspeicher (ASP) und einen mit dem Zeitgeber (ZG) verbundenen Zähler (Z) zur Adressierung des Adreßspeichers (ASP) enthält, wobei Daten des Adreßspeichers (ASP) auf Adreßeingänge des Datenspeichers (DS) geführt sind.
 5. Anschaltung nach Anspruch 4, dadurch gekennzeichnet
 - daß ein Komparator (K) zum Vergleich des Zählerstands mit einem einstellbaren, der Länge der Schieberegisterkette (SRK) entsprechenden Wert (L) vorhanden ist, der bei Gleichheit ein Signal an den Zeitgeber (ZG) abgibt.
 6. Anschaltung nach Anspruch 3 oder 4, dadurch gekennzeichnet
 - daß die Schieberegisterkette (SRK) eine Boundary-Scan-Kette ist.

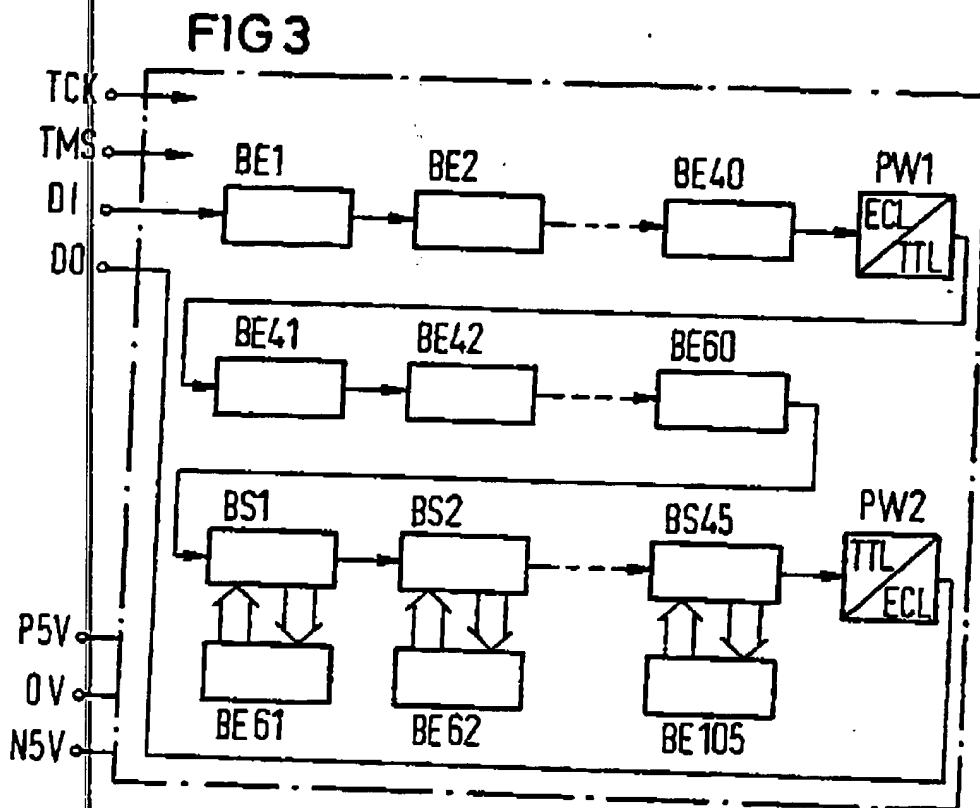
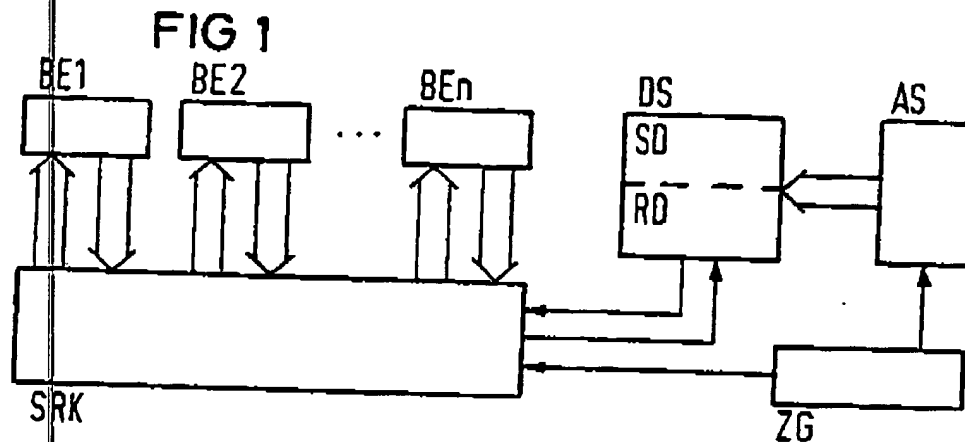
Hierzu 2 Seite(n) Zeichnungen

BEST AVAILABLE COPY

ZEICHNUNGEN SEITE 1

Nummer:
Int. Cl.⁵:
Offenlegungstag:

DE 40 39 407 A1
G 06 F 15/60
11. Juni 1992



208 024/430

BEST AVAILABLE COPY

ZEICHNUNGEN SEITE 2

Nummer:

DE 40 39 407 A1

Int. Cl. 5:

G 06 F 15/80

Offenlegungstag:

11. Juni 1992

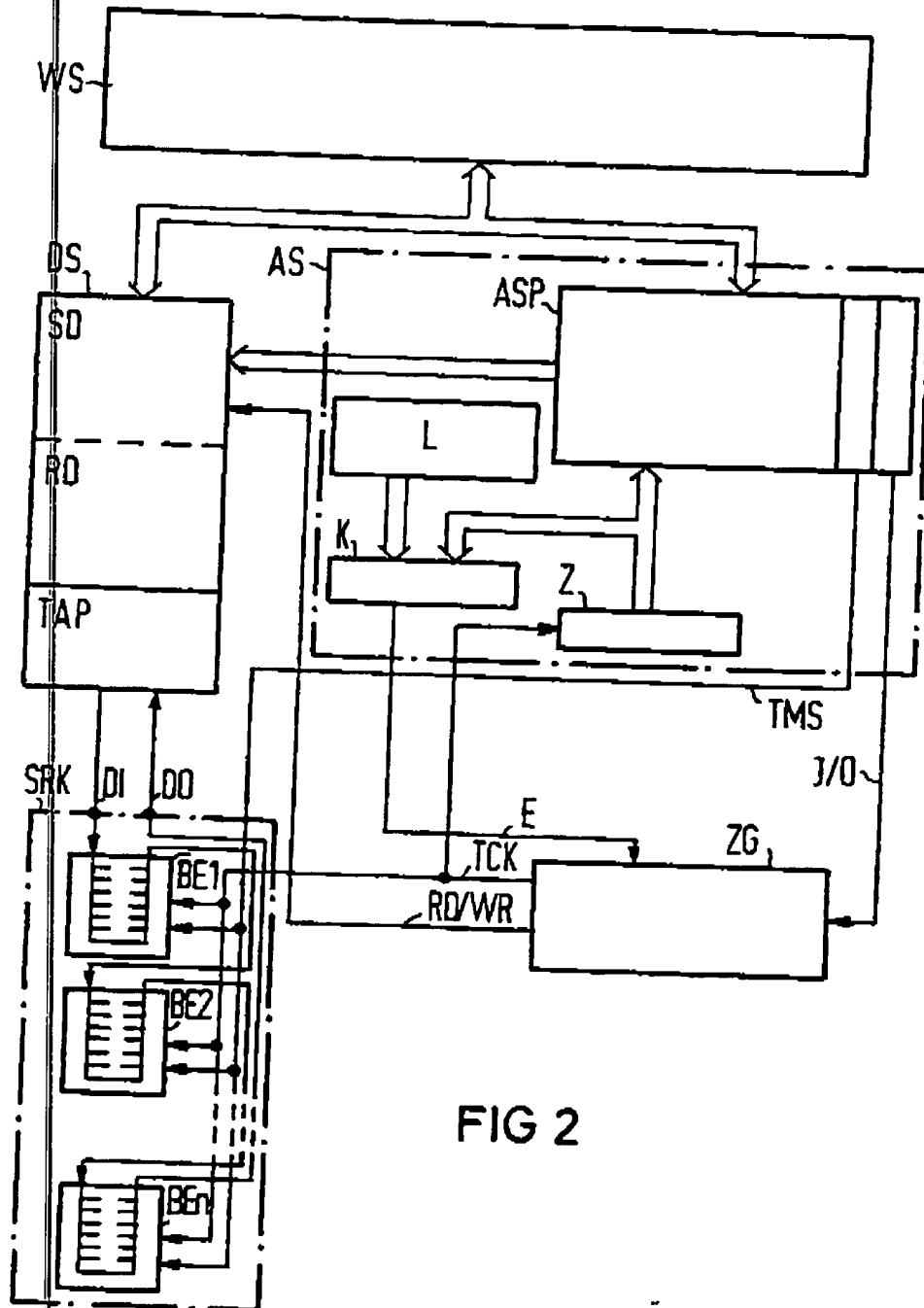


FIG 2

208 024/430

BEST AVAILABLE COPY